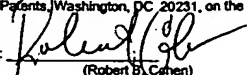


APR 22 2002

I hereby certify that this correspondence is being deposited with the U.S. Postal Service with sufficient postage as First Class Mail, in an envelope addressed to the Commissioner for Patents, Washington, DC 20231, on the date shown below.

Dated: April 12, 2002 Signature: 

(Robert B. Cohen)

Docket No.: SCEISZ 3.0-105
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Hidetaka Magoshi

Application No.: 10/035,453

Group Art Unit: 2121

Filed: November 1, 2001

Examiner: Not Yet Assigned

For: PARALLEL ARITHMETIC APPARATUS;
ENTERTAINMENT APPARATUS,
PROCESSING METHOD, COMPUTER
PROGRAM AND SEMICONDUCTOR
DEVICE

**COPY OF PAPERS
ORIGINALLY FILED**

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
Washington, DC 20231

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign applications filed in the following foreign countries on the dates indicated:

Country	Application No.	Date
Japan	2000-335787	November 2, 2000
Japan	2001-318590	October 16, 2001

In support of this claim, certified copies of the original foreign applications are filed herewith.

Dated: April 12, 2002

Respectfully submitted,

By 

Robert B. Cohen

Registration No.: 32,768

LERNER, DAVID, LITTENBERG,
KRUMHOLZ & MENTLIK, LLP
600 South Avenue West
Westfield, New Jersey 07090



日 本 国 特 許 庁
JAPAN PATENT OFFICE

④

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月 2日

出 願 番 号

Application Number:

特願2000-335787

出 願 人

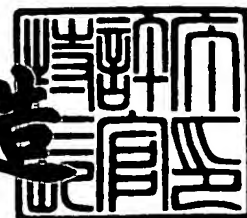
Applicant(s):

株式会社ソニー・コンピュータエンタテインメント

2001年 7月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3066852

【書類名】 特許願

【整理番号】 SCEI99213

【提出日】 平成12年11月 2日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 17/10

【発明者】

 【住所又は居所】 東京都港区赤坂7丁目1番1号 株式会社ソニー・コン
 ピュータエンタテインメント内

 【氏名】 馬越 英尚

【特許出願人】

 【識別番号】 395015319

 【氏名又は名称】 株式会社ソニー・コンピュータエンタテインメント

【代理人】

 【識別番号】 100099324

 【弁理士】

 【氏名又は名称】 鈴木 正剛

【選任した代理人】

 【識別番号】 100108604

 【弁理士】

 【氏名又は名称】 村松 義人

【選任した代理人】

 【識別番号】 100111615

 【弁理士】

 【氏名又は名称】 佐野 良太

【手数料の表示】

 【予納台帳番号】 031738

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

特 2 0 0 0 - 3 3 5 7 8 7

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 並列演算装置、情報処理装置

【特許請求の範囲】

【請求項 1】 演算要素を記録してなるレジスタとこのレジスタに記録されている演算要素に基づいて積和演算を行う積和演算器との組を複数組備え、

いずれかの組のレジスタと積和演算器との間には一つのセレクトが介在し、

該セレクトは、当該組のレジスタと他の組のすべてのレジスタとから一つのものを選択し、選択したレジスタに記録されている演算要素を当該組の積和演算器に入力するものである、並列演算装置。

【請求項 2】 行列演算とベクトルの内積演算とを選択的に行う装置であって、

行列演算時には行列成分値を保持し、内積演算時にはベクトル成分値を保持する複数のレジスタと；

行列演算時には各々が前記複数のレジスタの一つが保持する行列成分値を取り込んで積和演算し、内積演算時には所定の一つが前記複数のレジスタが保持するベクトル成分値を取り込んで積和演算する複数の積和演算器と；

前記複数のレジスタの中から一つのレジスタを選択し、選択したレジスタが保持する行列成分値又はベクトル成分値を特定の積和演算器に供給するセレクトとを備え、

いずれか一つを除く複数のレジスタと前記特定のものを除く複数の積和演算器とはそれぞれ 1 対 1 に対応しており、

前記セレクトは、行列演算時には積和演算器との対応がとれていない一つのレジスタが保持する行列成分値を前記特定の積和演算器に供給し、内積演算時には前記複数のレジスタを順繰りに一つずつ選択して選択したレジスタが保持するベクトル成分値を前記特定の積和演算器に供給するように構成されている、

並列演算装置。

【請求項 3】 前記行列成分値及び前記ベクトル成分値が浮動小数点数で表されるものであり、

前記複数の積和演算器の各々は、浮動小数点数の乗算及び加算が可能な浮動小

数点積和演算器であることを特徴とする、

請求項 2 記載の並列演算装置。

【請求項 4】 演算要素を記録してなるレジスタとこのレジスタに記録されている演算要素に基づいて積和演算を行う積和演算器との組を複数組備え、

いずれかの組のレジスタと積和演算器との間には一つのセクタが介在し、

他のすべての組のレジスタと積和演算器との間にはテンポラリレジスタが介在し、

前記セクタは、当該組のレジスタと他の組のすべてのテンポラリレジスタとから一つのものを選択し、選択したレジスタ又はテンポラリレジスタに記録されている演算要素を当該組の積和演算器に入力するものである、並列演算装置。

【請求項 5】 前記レジスタと積和演算器とからなる複数の組の各々が、4 次元座標の成分のいずれかに関わる演算を行うものである、

請求項 1 又は 4 記載の並列演算装置。

【請求項 6】 請求項 1 乃至 5 のいずれかに記載の並列演算装置を備えており、

この並列演算装置を用いて行列演算及び内積演算を実行するようにしてなる、情報処理装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、コンピュータグラフィックス等に用いられるジオメトリ処理を行う並列演算装置に関する。

【0 0 0 2】

【従来の技術】

3 次元コンピュータグラフィックスで表示しようとする物体は、複数の多角形（ポリゴン）の集合でモデル化される。ポリゴンの各頂点は、同次座標を用いて、4 次元の座標（ x , y , z , w ）で表される。ポリゴンの各頂点の座標は、視点座標に応じて座標変換され、距離に応じて透視変換等が施される。つまり、遠くの方が小さく見えるように変換される。この一連の処理は「ジオメトリ処理

」と呼ばれる。

【 0 0 0 3 】

ジオメトリ処理の中にも、種々の態様がある。ある態様のジオメトリ処理には、図形の回転、拡大、縮小、透視投影及び平行移動などに 4×4 行列による行列演算を行い、また、受光面の明るさ等を決定するために内積演算を行うものがある。このような行列演算や内積演算には、積和演算の繰返しが必要になる。

また、3次元コンピュータグラフィックスで取り扱うデータについては、従来からハイエンドのシステムで用いられていた浮動小数点数が、エンタテインメント機や携帯情報端末等のようなコストの制約が厳しい分野でも用いられるようになった。浮動小数点数を用いる方が、データのダイナミックレンジが広がるためにプログラミングが容易であり、高度な処理に向いているためである。

【 0 0 0 4 】

浮動小数点数に対して行列演算を行うために、浮動小数点積和算器 (FMAC : floating multiply accumulator) を複数内蔵して、これにより行列演算を効率的に行う並列演算装置がある。各 FMAC で並列に演算を行うために処理速度が速くなる。例えば、FMAC が 4 並列に設けられた並列演算装置の場合、数式 1 に示すような 4×4 行列を用いた行列演算を 1 サイクルの演算処理で行うことができる。しかし、数式 2 に示すようなベクトルの内積演算を行うことができない。

これは、変換の演算の対象となる X、Y、Z、W の各座標を FMAC に対応付けて、独立に演算するためである。

【 0 0 0 5 】

具体的に説明する。

数式 1 の行列演算を行う場合、4 個の FMAC の各々には、行列の 1 行の成分値及び座標の成分値が入力される。入力された行列の成分値及び座標の成分値を積和演算して行列演算を行う。例えば、行列の 1 行目の成分値 (M11、M12、M13、M14) と座標 (Vx、Vy、Vz、Vw) とを積和演算して「 $M11 \cdot Vx + M12 \cdot Vy + M13 \cdot Vz + M14 \cdot Vw$ 」を算出する。4 個の FMAC のそれぞれにおいて積和演算を行うので、1 サイクルで行列演算が終了する。なお、本明細書にお

いて「 \cdot 」は、積を表す。

しかし、数式2の内積演算を行おうとすると、4個のFMACの各々にはAx及びBx、Ay及びBy、Az及びBz、Aw及びBwが入力されるために、それぞれの出力としてAx \cdot Bx、Ay \cdot By、Az \cdot Bz、Aw \cdot Bwが算出される。そのために、数式2を行うためには4個のFMACの出力を加算する加算器を別に設ける必要があり、回路規模が増大してしまう。

このように、行列演算は効率よく処理可能であり、ベクトルの内積演算は並列に備えられたFMACだけでは演算が行えず、さらに加算器を必要とすることになる。

【数1】

$$\begin{bmatrix} M_{11} & M_{12} & M_{13} & M_{14} \\ M_{21} & M_{22} & M_{23} & M_{24} \\ M_{31} & M_{32} & M_{33} & M_{34} \\ M_{41} & M_{42} & M_{43} & M_{44} \end{bmatrix} \begin{bmatrix} V_x \\ V_y \\ V_z \\ V_w \end{bmatrix} = \begin{bmatrix} M_{11} \cdot V_x + M_{12} \cdot V_y + M_{13} \cdot V_z + M_{14} \cdot V_w \\ M_{21} \cdot V_x + M_{22} \cdot V_y + M_{23} \cdot V_z + M_{24} \cdot V_w \\ M_{31} \cdot V_x + M_{32} \cdot V_y + M_{33} \cdot V_z + M_{34} \cdot V_w \\ M_{41} \cdot V_x + M_{42} \cdot V_y + M_{43} \cdot V_z + M_{44} \cdot V_w \end{bmatrix}$$

【数2】

$$(Ax, Ay, Az, Aw) \cdot (Bx, By, Bz, Bw) \\ = Ax \cdot Bx + Ay \cdot By + Az \cdot Bz + Aw \cdot Bw$$

【0006】

【発明の解決する課題】

本発明の課題は、従来と同様に効率的に行列演算を処理可能としながら、ベクトルの内積演算を容易に行うことのできる並列演算装置を提供することにある。

また、本発明の別の課題は、このような並列演算装置を備える情報処理装置を提供することにある。

【0007】

【課題を解決するための手段】

上記課題を解決する本発明の並列演算装置は、演算要素を記録してなるレジスタとこのレジスタに記録されている演算要素に基づいて積和演算を行う積和演算器との組を複数組備え、いずれかの組のレジスタと積和演算器との間には一つのセレクトが介在し、該セレクトは、当該組のレジスタと他の組のすべてのレジスタとから一つのものを選択し、選択したレジスタに記録されている演算要素を当

該組の積和演算器に入力するものである。

【 0 0 0 8 】

本発明の他の並列演算装置は、行列演算とベクトルの内積演算とを選択的に行う装置であって、行列演算時には行列成分値を保持し、内積演算時にはベクトル成分値を保持する複数のレジスタと、行列演算時には各々が前記複数のレジスタの一つが保持する行列成分値を取り込んで積和演算し、内積演算時には所定の一つが前記複数のレジスタが保持するベクトル成分値を取り込んで積和演算する複数の積和演算器と、前記複数のレジスタの中から一つのレジスタを選択し、選択したレジスタが保持する行列成分値又はベクトル成分値を特定の積和演算器に供給するセレクタとを備え、いずれか一つを除く複数のレジスタと前記特定のものを除く複数の積和演算器とはそれぞれ 1 対 1 に対応しており、前記セレクタは、行列演算時には積和演算器との対応がとれていない一つのレジスタが保持する行列成分値を前記特定の積和演算器に供給し、内積演算時には前記複数のレジスタを順繰りに一つずつ選択して選択したレジスタが保持するベクトル成分値を前記特定の積和演算器に供給するように構成されている。

行列成分値及びベクトル成分値が、例えば浮動小数点数で表される場合は、すべての積和演算器を、浮動小数点数の乗算及び加算が可能な浮動小数点積和演算器にするとよい。

【 0 0 0 9 】

本発明の他の並列演算装置は、演算要素を記録してなるレジスタとこのレジスタに記録されている演算要素に基づいて積和演算を行う積和演算器との組を複数組備え、いずれかの組のレジスタと積和演算器との間には一つのセレクタが介在し、他のすべての組のレジスタと積和演算器との間にはテンポラリレジスタが介在し、前記セレクタは、当該組のレジスタと他の組のすべてのテンポラリレジスタとから一つのもので選択し、選択したレジスタ又はテンポラリレジスタに記録されている演算要素を当該組の積和演算器に入力するものである。

テンポラリレジスタを介在させることにより、内積演算時に、レジスタからの演算要素の取り込みを 1 サイクルで行うことが可能となり、レジスタのリードポートを占有する必要がなくなる。

【 0 0 1 0 】

これらの本発明の並列演算装置により、セレクトアが、セレクトアが介在する組のレジスタを選択する場合は、各組で各々独立した演算要素による演算が行われる。つまり、従来と同様の行列演算を行うことができる。

一方、セレクトアが、すべてのレジスタから一つのを順繰りに選択する場合は、各組のレジスタに記録された演算要素を用いた演算が可能となる。つまり、加算器などの他の回路を用いることなく容易に内積演算を行うことができるようになる。

【 0 0 1 1 】

以上のような本発明において、レジスタと積和演算器とからなる複数の組の各々が、4次元座標の成分のいずれかに関わる演算を行うようにすると、例えば3次元コンピュータグラフィックスにおけるジオメトリ処理の際の 4×4 の行列演算と4個の成分からなるベクトルの内積演算とが一つの並列演算装置により可能となる。

【 0 0 1 2 】

また、以上のような本発明の並列演算装置を備えることにより、行列演算及びベクトルの内積演算を容易に実行することができる情報処理装置を提供できる。

【 0 0 1 3 】

【発明の実施の形態】

以下に、本発明の実施形態を図面を参照しつつ詳細に説明する。

エンタテインメント装置やパーソナルコンピュータ等の3次元画像処理を必要とする装置では、前述のジオメトリ処理を行って高度な3次元画像を得るために複数の演算装置を備える座標変換処理装置を用いるものがある。高度な3次元画像を得るために、座標変換処理装置内の複数の演算装置によって並列に処理を行うことにより、高速で高度なジオメトリ処理が可能となる。

図1は、高度なジオメトリ処理を可能とするために、本発明の並列演算装置を座標変換処理装置として用いた画像処理装置の構成図である。

【 0 0 1 4 】

この画像処理装置1は、メインバスB1とサブバスB2の2本のバスを有して

いる。これらのバス B 1、B 2 がバスインタフェース I N T を介して互いに接続され又は切り離されるようになっている。

【 0 0 1 5 】

メインバス B 1 には、メイン CPU 1 0 と、RAM で構成されるメインメモリ 1 1 と、メイン DMAC (Direct Memory Access Controller) 1 2 と、MPE G (Moving Picture Experts Group) デコーダ (MDEC) 1 3 と、フレームメモリ 1 5 を内蔵する描画処理装置 (graphic processing unit、以下、「GPU」) 1 4 が接続される。GPU 1 4 には、ビデオ出力信号を生成する CRT C (CRT controller) 1 6 が接続される。

【 0 0 1 6 】

メイン CPU 1 0 は、画像処理装置 1 の起動時にサブバス B 2 上の ROM 2 3 から、バスインタフェース I N T を介して起動プログラムを読み込み、その起動プログラムを実行してオペレーティングシステムを動作させる。また、メディアドライブ 2 7 を制御するとともに、このメディアドライブ 2 7 に装着されたメディア 2 8 からアプリケーションプログラムやデータを読み出し、これをメインメモリ 1 1 に記憶させる。さらに、メディア 2 8 から読み出した各種データ、例えば複数の基本図形 (ポリゴン) で構成された 3 次元オブジェクトデータ (ポリゴンの頂点 (代表点) の座標値など) に対して、ジオメトリ処理を行う。ジオメトリ処理によりポリゴン定義情報をその内容とするディスプレイリストを生成する。

座標変換処理装置 1 1 0 は、このメイン CPU 1 0 に内包されており、ジオメトリ処理を行う。

【 0 0 1 7 】

ポリゴン定義情報は、描画領域設定情報とポリゴン情報とからなる。描画領域設定情報は、描画領域のフレームバッファアドレスにおけるオフセット座標と、描画領域の外部にポリゴンの座標があった場合に、描画をキャンセルするための描画クリッピング領域の座標からなる。ポリゴン情報は、ポリゴン属性情報と頂点情報とからなり、ポリゴン属性情報は、シェーディングモード、 α ブレンディングモード、テクスチャマッピングモード、及びパンプマッピングモード等を目指

定する情報であり、頂点情報は、頂点描画領域内座標、頂点テクスチャ領域内座標、および頂点色等の情報である。

【 0 0 1 8 】

GPU 1 4 は、描画コンテキストを保持しており、メイン CPU 1 0 から通知されるディスプレイリストに含まれる画像コンテキストの識別情報に基づいて該当する描画コンテキストを読み出し、これを用いてレンダリング処理を行い、フレームメモリ 1 5 にポリゴンを描画する。フレームメモリ 1 5 は、テクスチャメモリとしても使用できるため、フレームメモリ 1 5 上のピクセルイメージをテクスチャとして描画するポリゴンに貼り付けることができる。

【 0 0 1 9 】

メイン DMAC 1 2 は、メインバス B 1 に接続されている各回路を対象として DMA 転送制御を行うとともに、バスインタフェース INT の状態に応じて、サブバス B 2 に接続されている各回路を対象として DMA 転送制御を行う。

MDEC 1 3 は、メイン CPU 1 0 と並列に動作し、MPEG (Moving Picture Experts Group) 方式あるいは JPEG (Joint Photographic Experts Group) 方式等で圧縮されたデータを伸張する。

【 0 0 2 0 】

サブバス B 2 には、マイクロプロセッサなどで構成されるサブ CPU 2 0、RAM で構成されるサブメモリ 2 1、サブ DMAC 2 2、オペレーティングシステムなどのプログラムが記憶されている ROM 2 3、サウンドメモリ 2 5 に蓄積された音データを読み出してオーディオ出力として出力する音声処理装置 (SPU (sound processing unit)) 2 4、ネットワーク 4 a を介してサーバ局 2 などの外部装置と情報の送受信を行う通信制御部 (ATM) 2 6、CD-ROM や DVD-ROM などのメディア 2 8 を装着するためのメディアドライブ 2 7 及び入力部 3 1 が接続されている。

【 0 0 2 1 】

サブ CPU 2 0 は、ROM 2 3 に記憶されているプログラムに従って各種動作を行う。サブ DMAC 2 2 は、バスインタフェース INT がメインバス B 1 とサブバス B 2 を切り離している状態においてのみ、サブバス B 2 に接続されている

各回路を対象としてDMA転送などの制御を行う。入力部31は、操作装置33からの入力信号が入力される接続端子32を備える。

【0022】

<実施例1>

図2は、座標変換処理装置110の構成図である。

この座標変換処理装置110は、メインバスB1を介してメインメモリ11からポリゴンの頂点座標値や行列変換に用いる行列等のジオメトリ処理に必要なデータを取得して演算する。

【0023】

座標変換処理装置110は、レジスタ120a～d、セクタ130a、b、FMAC140a～d、内部記憶装置150を含んで構成される。レジスタ120a～dと内部記憶装置150とは、内部バスBで接続される。

レジスタとFMACとは組になっており、一つのレジスタには一つのFMACが対応する。本実施形態では、 4×4 行列による行列演算及び4次元のベクトルの内積演算を行うために、レジスタとFMACとの組を4組用いる。レジスタ120aとFMAC140aとの間には、セクタ130a、bが設けられる。

なお、本実施形態では、ベクトル、行列及び4次元座標の各成分値は、浮動小数点数とするが、これは、固定小数点でも構わないことは言うまでもない。各成分値に固定小数点を用いる場合は、FMAC140a～dに替えて固定小数点積和演算器を用いることとなる。

【0024】

各レジスタ120a～dは、4次元ベクトルの内積演算を行うときには、外部から送られる2つの4次元ベクトルの成分値を次元毎に取り込んで保持する。つまり、4次元ベクトル(Ax、Ay、Az、Aw)及び(Bx、By、Bz、Bw)から、レジスタ120aは成分値Ax及びBxを、レジスタ120bは成分値Ay及びByを、レジスタ120cは成分値Az及びBzを、レジスタ120dは成分値Aw及びBwをそれぞれ保持する。

4×4 行列による行列演算を行うときには、レジスタ120aが行列の1行目の成分値及び4次元座標の成分値を、レジスタ120bが行列の2行目の成分値

及び 4 次元座標の成分値を、レジスタ 1 2 0 c が行列の 3 行目の成分値及び 4 次元座標の成分値を、レジスタ 1 2 0 d が行列の 4 行目の成分値及び 4 次元座標の成分値をそれぞれ保持する。各レジスタ 1 2 0 a ~ d は、行列の各行の、1 列目の成分値と 4 次元座標の 1 次元目の成分値、2 列目の成分値と 2 次元目の成分値、3 列目の成分値と 3 次元目の成分値、4 列目の成分値と 4 次元目の成分値、を組として保持し、読み出されるときには同時に読み出されるようにする。

また、各レジスタ 1 2 0 a ~ d は、各々組となる FMAC 1 4 0 a ~ d の演算結果を取り込んで保持する。

【 0 0 2 5 】

各 FMAC 1 4 0 a ~ d は、レジスタ 1 2 0 a ~ d が保持する行列、4 次元座標又はベクトルの成分値から 2 つを取り込んで乗算及び加算する。

図 3 は、FMAC 1 4 0 a の内部構成図である。なお、他の FMAC 1 4 0 b ~ d も同様の構成を持つ。

FMAC 1 4 0 a は、供給される 2 つの成分値を乗算及び加算するために、浮動小数点乗算器 (FMUL : floating multiply) 1 4 1 と、浮動小数点加算器 (FADD : floating adder) 1 4 2 とを備える。供給された 2 つの成分値は、FMUL 1 4 1 に取り込まれて乗算される。乗算結果は FADD 1 4 2 に送られる。FADD 1 4 2 では、乗算結果を順次加算する。

例えば、供給される成分値が $a_0 \sim a_n$ 及び $b_0 \sim b_n$ の場合、FMAC 1 4 0 a によって、以下のような演算結果が得られる。

$$a_0 \cdot b_0 + a_1 \cdot b_1 + a_2 \cdot b_2 + \dots + a_{(n-1)} \cdot b_{(n-1)} + a_n \cdot b_n$$

【 0 0 2 6 】

内積演算を行うときには、FMAC 1 4 0 a が、レジスタ 1 2 0 a ~ d からセレクタ 1 3 0 a、b を介して供給される 2 つのベクトルの次元毎の成分値を乗算し、乗算した結果を順次加算する。また、このような乗加算した回数を加算した回数をカウントしておき、内積演算の進行状況がわかるようにし、内積演算が終了するまで、次の命令の開始を停止するようにしてもよい。

行列演算を行うときには、FMAC 1 4 0 a ~ d が、対応するレジスタ 1 2 0 a ~ d から取り込む行列の成分値及び 4 次元座標の成分値を乗算し、乗算した結

果を順次加算する。

演算結果は、各々組となるレジスタへ出力する。

【0027】

セクタ130 a、bは、レジスタ120 a～dから一つを選択し、選択したレジスタが保持する成分値を取り込んでFMAC140 aへ供給する。内積演算を行うときには、レジスタ120 a～dを順繰りに一つずつ選択し、選択したレジスタが保持する成分値を取り込んでFMAC140 aへ供給する。行列演算を行うときには、常にレジスタ120 aを選択しており、レジスタ120 aが保持する成分値を取り込んでFMAC140 aへ供給する。レジスタの選択は、図示しない制御回路、例えば、順序論理回路等を用いて、そのときに行う演算の種類や、演算の進行状況に基づいて指示することにより行う。

【0028】

内部記憶装置150は、メインメモリ11からポリゴンの頂点座標値や行列変換に用いる行列等のジオメトリ処理に必要なデータを取り込んで保持し、かつ演算結果をレジスタ120 a～dから取り込んで保持する。また、座標変換処理装置110で実行されるプログラムを保持する。

内部記憶装置150とメインメモリ11との間では、ダイレクトメモリアクセス転送することにより、高速にデータの送受が可能になり、大量のデータ処理を必要とする画像処理に都合がよい。

【0029】

以上のような座標変換処理装置110により、数式2の内積演算、つまりベクトルA (A_x, A_y, A_z, A_w) とベクトルB (B_x, B_y, B_z, B_w) との内積演算を行うときの処理について説明する。図4は、このような処理のフローチャートである。

【0030】

座標変換処理装置110は、メインメモリ11に記憶されたベクトルA (A_x, A_y, A_z, A_w) 及びベクトルB (B_x, B_y, B_z, B_w) の成分値をダイレクトメモリアクセス転送により内部記憶装置150に取り込んで保持する（ステップS101）。

各レジスタ120a～dは、内部記憶装置150が保持するベクトルA及びベクトルBの成分値を次元毎に取り込む。つまり、レジスタ120aはAx及びBx、レジスタ120bはAy及びBy、レジスタ120cはAz及びBz、レジスタ120dはAw及びBwを取り込む（ステップS102）。

【0031】

セクタ130a、bは、各レジスタ120a～dのうちの一つを選択して、選択したレジスタが保持するベクトルA及びベクトルBの成分値を取り込み、FMAC140aに供給する。レジスタ120a～dの選択は、内積演算の進行状況により決める。ここでは、まず、レジスタ120aを選択してAx及びBxを取り込み、FMAC140aへ供給する（ステップS103）。FMAC140aは、FMUL141及びFADD142によりAx及びBxの積和演算を行う（ステップS104）。なお、FADD142は、最初の加算処理を行う前に状態がクリアされている。FMAC140aは、内積演算が終了したか否かを判断する（ステップS105）。内積演算が終了したか否かは、予め入力されるベクトルが何次元かを知っておくことにより判断できる。演算の回数をカウントしておき、カウント数が入力されるベクトルの次元数と等しくなったときに内積演算を終了したと判断するようにするなどの方法がある。また、カウント数により、次のどのレジスタから成分値を取り込むかがわかる。

【0032】

この場合は、まだ内積演算が終了していないので（ステップS105：N）、FMAC140aは、セクタ130a、bにレジスタ120bが保持する成分値を要求する。セクタ130a、bは、FMAC140aの要求によりレジスタ120bを選択してAy及びByを取り込んでFMAC140aに供給する。FMAC140aは、Ay及びByを取り込むと、FMUL141及びFADD142により積和演算を行い $Ax \cdot Bx + Ay \cdot By$ を算出する。以下同様に、ステップS103乃至ステップS105を内積演算が終了するまで積和演算を繰り返して、 $Ax \cdot Bx + Ay \cdot By + Az \cdot Bz + Aw \cdot Bw$ を算出する。

【0033】

演算の回数が4回になると、FMAC140aは内積演算が終了したと判断し

て（ステップS105：Y）、算出した結果をレジスタ120aに出力する（ステップS106）。出力後に、FMAC140aの内部状態をクリアする。出力された演算結果は、レジスタ120aから内部記憶装置150に入力され、メインメモリ11へ送られる。

このようにして、内積演算が終了する。

【0034】

セクタ130a、bを設けることにより、成分値間の演算が可能となって内積演算が容易に行えるようになる。また、セクタ130a、bは、レジスタ120aとFMAC140aとの間に設けたが、これに限らず、レジスタ120bとFMAC140b、レジスタ120cとFMAC140c、レジスタ120dとFMAC140dのいずれの間に設けてもよい。

【0035】

なお、行列演算を行うときには、セクタ130a、bは、レジスタ120aを常に変更してレジスタ120aが保持する成分値のみをFMAC140aに供給し、他のレジスタ120b～dが保持する成分値をFMAC140cに供給することはない。

レジスタ120b～dが保持する各成分値は、FMAC140b～dの各々に対応するFMAC140b～dからの要求に応じて取り込まれることとなる。

【0036】

例えば数式1の行列演算を行うときには、レジスタ120aは行列の1行目の成分値M11、M12、M13、M14及び4次元座標の成分値Vx、Vy、Vz、Vwを保持する。レジスタ120bは行列の2行目の成分値M21、M22、M23、M24及び4次元座標の成分値Vx、Vy、Vz、Vwを保持する。レジスタ120cは行列の3行目の成分値M31、M32、M33、M34及び4次元座標の成分値Vx、Vy、Vz、Vwを保持する。レジスタ120dは行列の4行目の成分値M41、M42、M43、M44及び4次元座標の成分値Vx、Vy、Vz、Vwを取り込んで保持する。

【0037】

FMAC140a～dは、各々組となるレジスタ120a～dが保持する成分値を順次取り込んで演算する。FMAC140aを例に説明すると、まず、セ

クタ 1 3 0 a、b を介してレジスタ 1 2 0 a から M11 及び Vx を取り込んで、F MUL 1 4 1 により $M11 \cdot Vx$ を算出する。これを F ADD 1 4 2 に送る。次に M12 及び Vy を取り込んで、 $M12 \cdot Vy$ を算出し、これを F ADD 1 4 2 に送って $M11 \cdot Vx + M12 \cdot Vy$ を算出する。以下、M13 及び Vz、M14 及び Vw にも同様の演算を行って $M11 \cdot Vx + M12 \cdot Vy + M13 \cdot Vz + M14 \cdot Vw$ を算出する。他の F MAC 1 4 0 b ~ d においても同様の演算を行う。このようにして、各 F MAC 1 4 0 a ~ d で並列に演算を行うので、 4×4 の行列演算が従来と同様に 1 サイクルで行われる。

【 0 0 3 8 】

以上説明したように、座標変換処理装置 1 1 0、つまり本発明の並列演算装置は、行列演算とベクトルの内積演算とを選択的に行う装置であって、行列演算時には行列の成分値を保持し、内積演算時にはベクトルの成分値を保持するレジスタ 1 2 0 a ~ d と、行列演算時には各々がレジスタ 1 2 0 a ~ d の一つが保持する行列の成分値を取り込んで積和演算し、内積演算時には F MAC 1 4 0 a がレジスタ 1 2 0 a ~ d が保持するベクトルの成分値を取り込んで積和演算する F MAC 1 4 0 a ~ d と、レジスタ 1 2 0 a ~ d の中から一つのレジスタを選択し、選択したレジスタが保持する行列の成分値又はベクトルの成分値を F MAC 1 4 0 a に供給するセクタ 1 3 0 a、b とを備え、レジスタ 1 2 0 b ~ d と F MAC 1 4 0 b ~ d とはそれぞれ 1 対 1 に対応しており、セクタ 1 3 0 a、b は、行列演算時にはレジスタ 1 2 0 a が保持する行列の成分値を F MAC 1 4 0 a に供給し、内積演算時にはレジスタ 1 2 0 a ~ d を順繰りに一つずつ選択して選択したレジスタが保持するベクトルの成分値を F MAC 1 4 0 a に供給するように構成されている。

セクタ 1 3 0 a、b を設けることにより、行列演算と内積演算とを選択的に可能となる。つまり、セクタ 1 3 0 a、b がレジスタ 1 2 0 a ~ d を順繰りに選択して、選択したレジスタが保持するベクトルの成分値を F MAC 1 4 0 a に供給する場合は、内積演算が可能となる。セクタ 1 3 0 a、b がレジスタ 1 2 0 a を常に変換して、レジスタ 1 2 0 a が保持する行列の成分値を F MAC 1 4 0 a に供給する場合は、同時に、他のレジスタ 1 2 0 b ~ d が保持する行列の成

分値が、各々対応する F M A C 1 4 0 b ~ d へも供給されて行列演算が 1 サイクルで可能となる。

【 0 0 3 9 】

< 実施例 2 >

図 5 は、別の実施形態による座標変換処理装置 1 1 0 の構成図である。

図 2 に示す座標変換処理装置と比較して、座標変換処理装置 1 1 0 のレジスタ 1 2 0 b ~ d の各々の出力端にテンポラリレジスタ 1 6 0 b ~ d を備えた点が異なるのみである。

【 0 0 4 0 】

行列の成分値又はベクトルの成分値等の演算要素を記録してなるレジスタ 1 2 0 a ~ d とこのレジスタ 1 2 0 a ~ d に記録されている演算要素に基づいて積和演算を行う F M A C 1 4 0 a ~ d との組を 4 組備え、レジスタ 1 2 0 a と F M A C 1 4 0 a との間にはセレクタ 1 3 0 a、b が介在し、レジスタ 1 2 0 b ~ d と F M A C 1 4 0 b ~ d との間にはテンポラリレジスタ 1 6 0 b ~ d が介在し、セレクタ 1 3 0 a、b は、レジスタ 1 2 0 a とテンポラリレジスタ 1 6 0 b ~ d とから一つのもので選択し、選択したレジスタ 1 2 0 a 又はテンポラリレジスタ 1 6 0 b ~ d に記録されている演算要素を F M A C 1 4 0 a に入力するものである。

【 0 0 4 1 】

テンポラリレジスタ 1 6 0 b ~ d を介在させることにより、内積演算時に、レジスタ 1 2 0 a ~ d からの演算要素の取り込みを 1 サイクルで行うことが可能となり、レジスタ 1 2 0 b ~ d のリードポートを占有する必要がなくなる。そのために、F M A C 1 4 0 a が行列演算を行っている間に、他の F M A C 1 4 0 b ~ d は、次の演算要素による積和演算が可能となる。

【 0 0 4 2 】

以上の実施形態において、本発明の並列演算装置を座標変換処理装置として用いた画像処理装置を例に説明したが、これに限らず、本発明の並列演算処理装置は、並列演算処理を行う情報処理装置であって、行列演算と内積とを行うものであればどのような処理を行う情報処理装置でも用いることができる。また、レジ

スタと積和演算器（FMAC）の組も４組に限らず、当該装置で行う処理に応じて組数を決定すればよい。

【 0 0 4 3 】

【発明の効果】

以上のような本発明により、行列演算を従来と同様に効率的に処理可能としながら、ベクトルの内積演算を容易に処理可能となる。

【図面の簡単な説明】

【図 1】

画像処理装置の構成図。

【図 2】

座標変換処理装置の構成図。

【図 3】

FMAC の内部構成図。

【図 4】

内積演算処理のフローチャート。

【図 5】

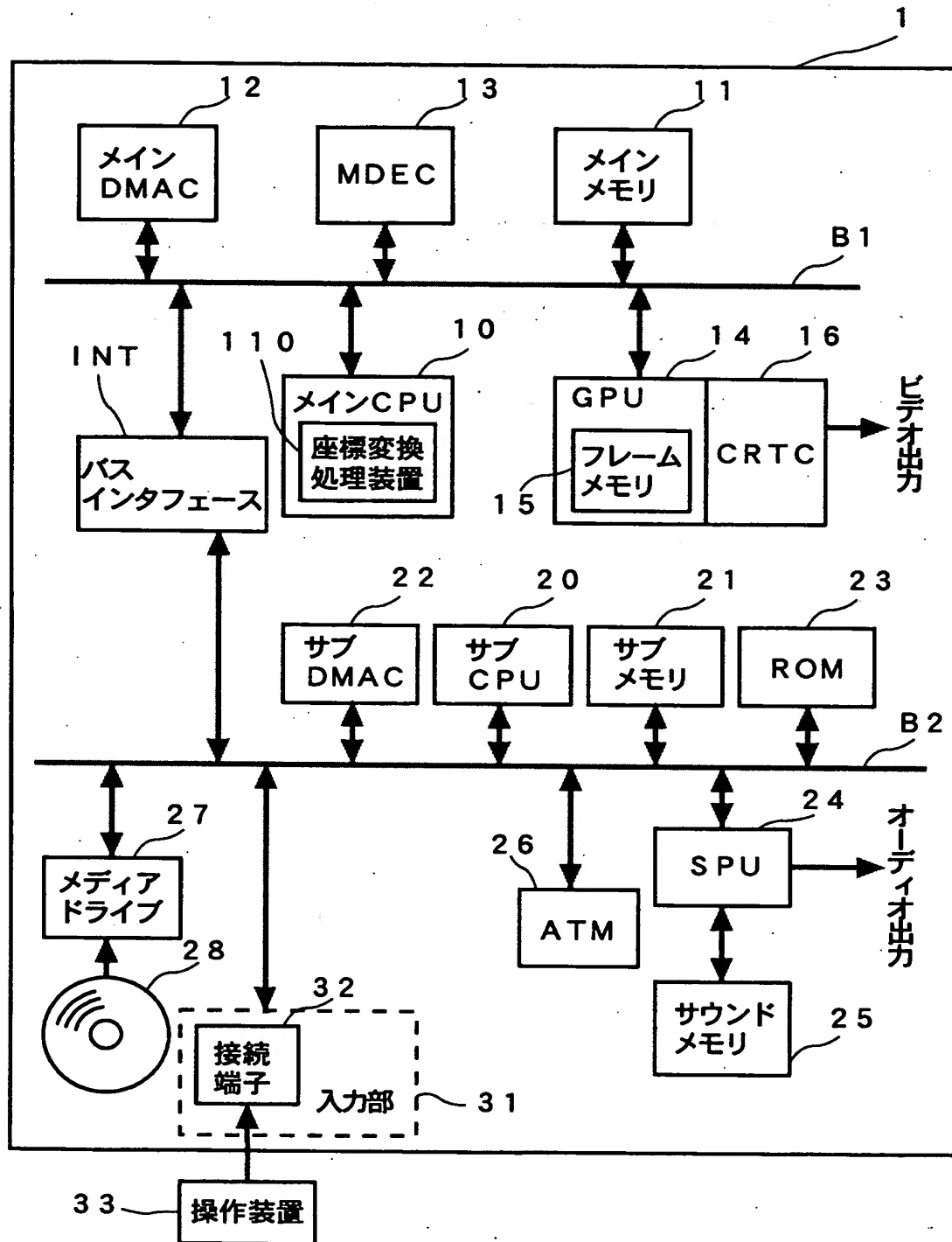
座標変換処理装置の構成図。

【符号の説明】

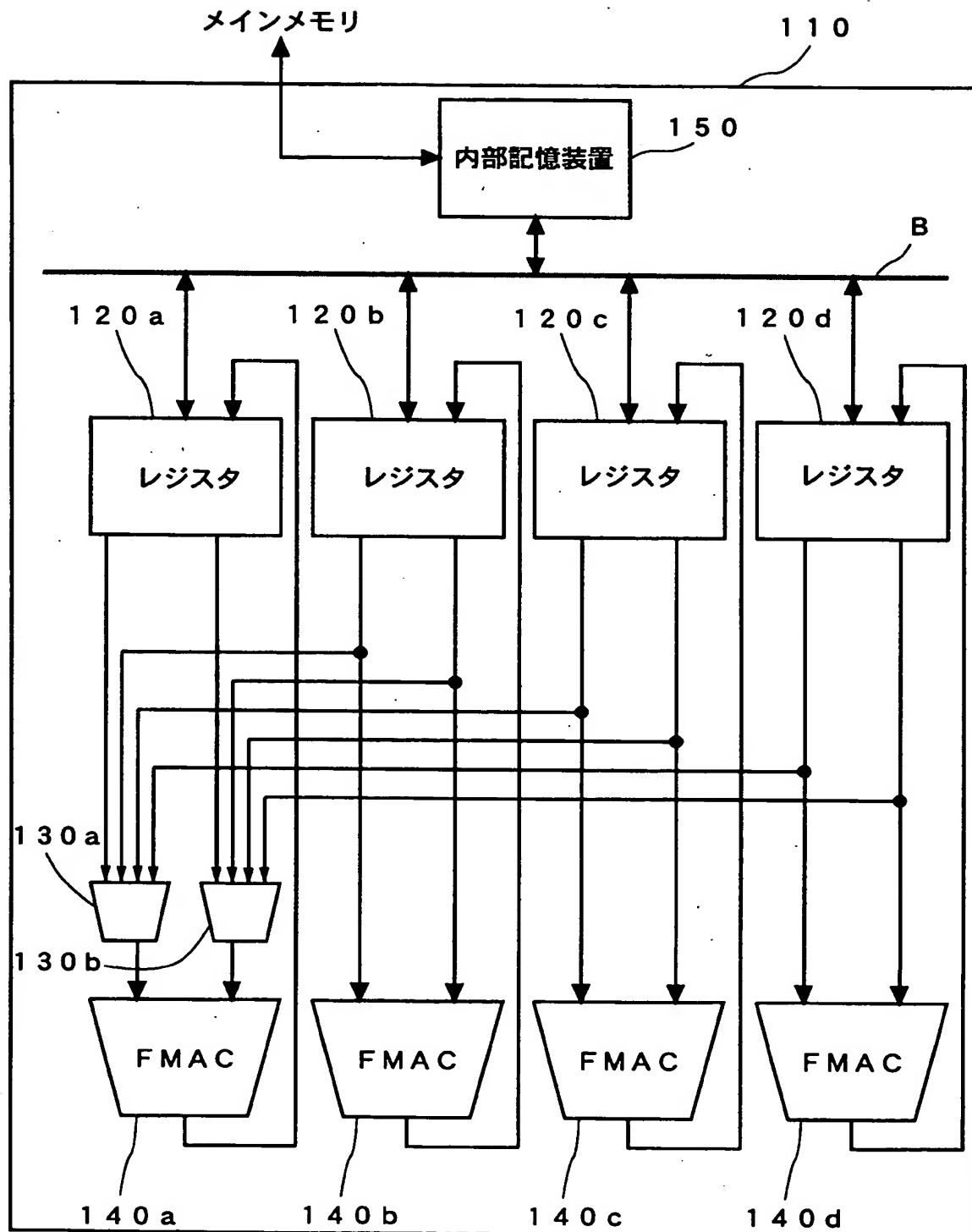
1 1 0	座標変換処理装置
1 2 0 a ~ d	レジスタ
1 3 0 a、b	セレクタ
1 4 0 a ~ d	FMAC
1 4 1	FMUL
1 4 2	FADD
1 5 0	内部記憶装置
1 6 0 b ~ d	テンポラリレジスタ
B	内部バス

【書類名】 図面

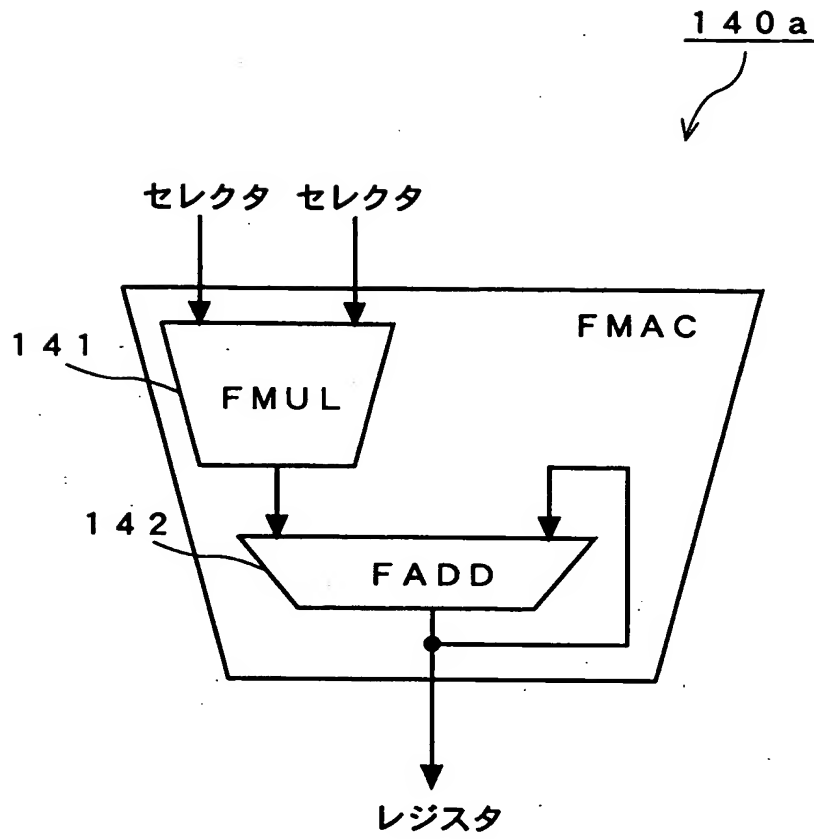
【図1】



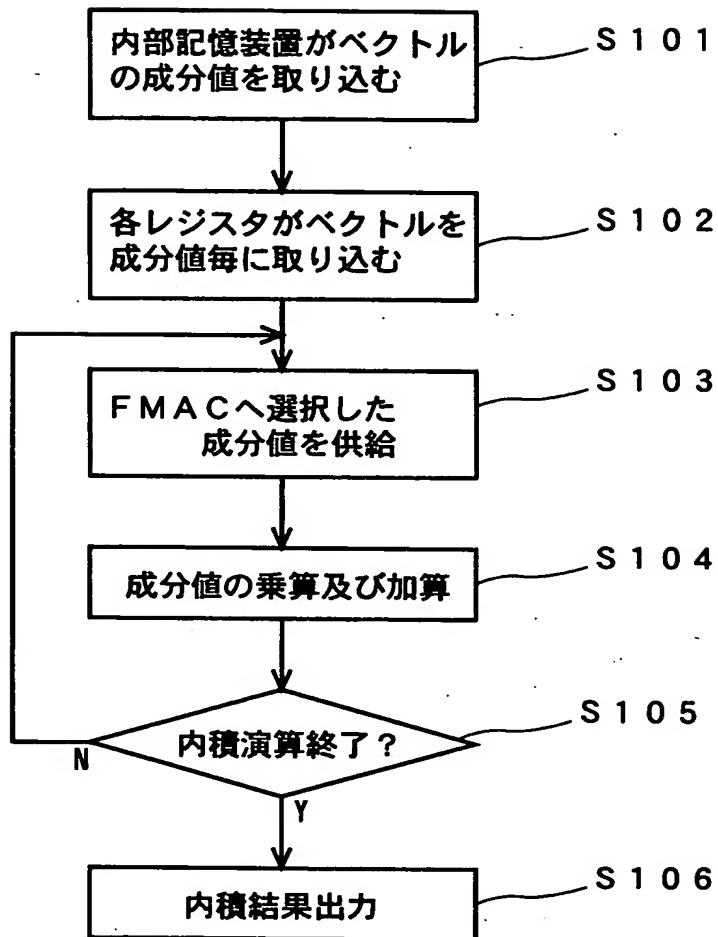
【図 2】



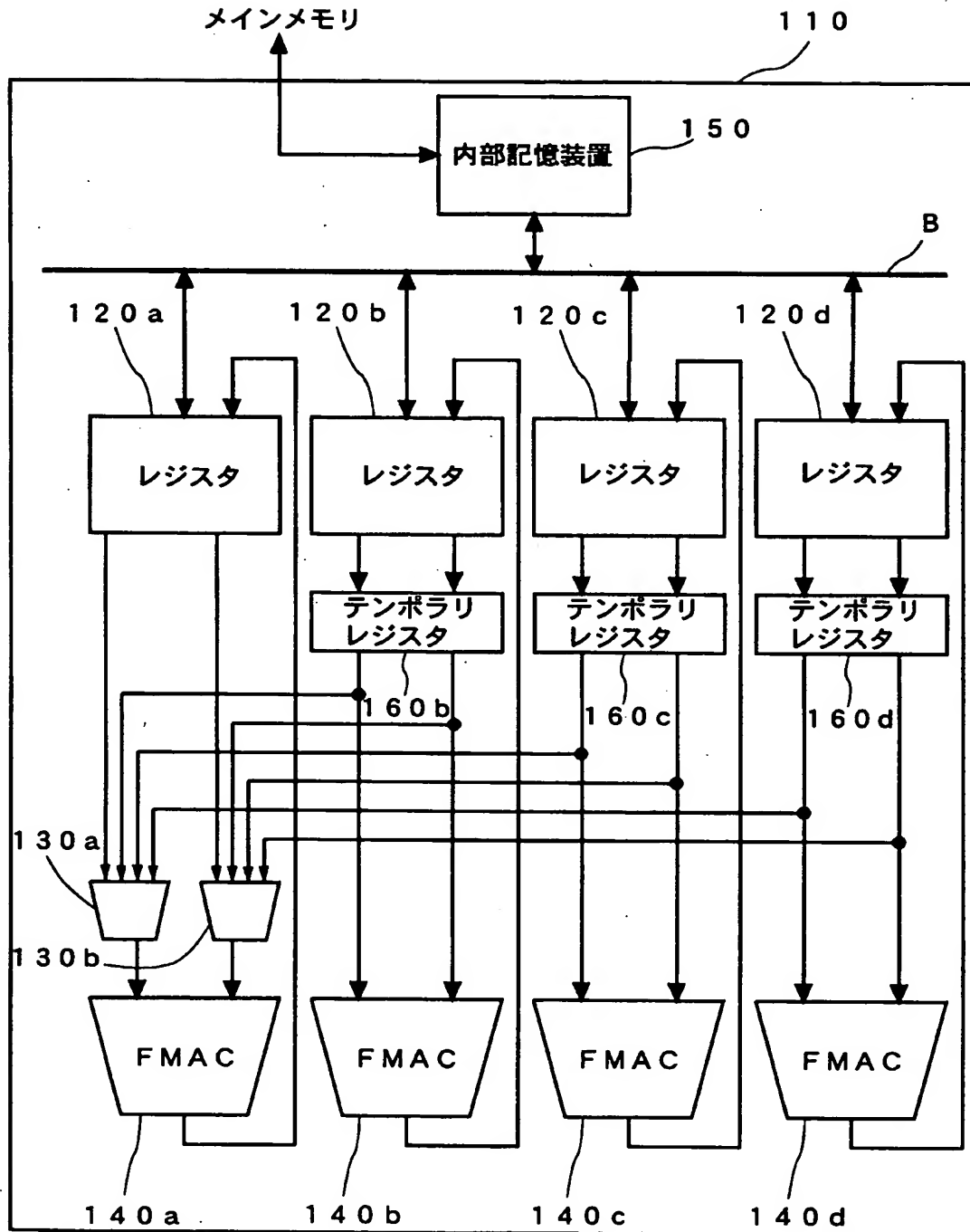
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 効率的な行列演算を可能としながら、ベクトルの内積演算を容易に行うことのできる並列演算装置を提供する。

【解決手段】 行列の中から各々に割り当てられた行の成分値及び座標の成分値、又は2つのベクトルの中から各々に割り当てられた次元の成分値を保持する複数のレジスタ120a～dと、レジスタから成分値を取り込んで積和演算するFMAC140a～dと、複数のレジスタから一つを選択し、選択したレジスタが保持する成分値をFMAC140aに供給するセクタ130a、bとを備える。レジスタ10aを除くレジスタと、FMAC140aを除くFMACとが1対1に対応する。セクタが、行列演算時にレジスタ10aを選択してレジスタ10aが保持する行列の成分値及び座標の成分値をFMAC140aに供給し、内積演算時に複数のレジスタを順繰りに一つずつ選択して選択したレジスタが保持する2つのベクトルの成分値をFMAC140aに供給する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [395015319]

1. 変更年月日 1997年 3月31日

[変更理由] 住所変更

住 所 東京都港区赤坂7-1-1

氏 名 株式会社ソニー・コンピュータエンタテインメント